

APM32F407

勘误手册

版本：**V 2.0**

目 录

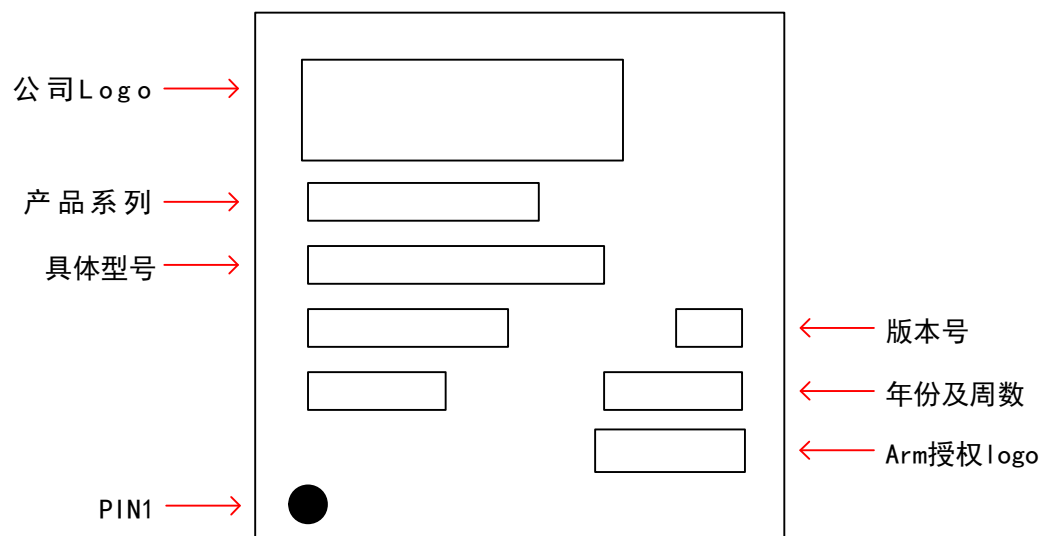
1 简介	2
2 产品版本及丝印说明	3
3 勘误列表	4
4 电源管理	5
4.1 PDR_ON 引脚功能	5
4.2 功耗	5
4.3 BOR 等级设置	5
5 Flash	6
5.1 擦写 Flash 与中断	6
5.2 Flash 误擦除	6
5.3 Flash 配置在 SRAM 中运行异常	6
6 Bootloader	8
6.1 自举 ISP 升级	8
7 中断	9
7.1 优先级分组	9
7.2 优先级屏蔽	9
7.3 系统处理优先级	9
8 GPIO	10
8.1 PB 引脚电平延迟	10
9 SPI	11
9.1 I2S 接口	11
10 USB	12
10.1 USB_OTG_FS	12
10.2 USB_OTG_HS	12
11 仿真器	13
11.1 J-Link 仿真下载程序	13
12 版本历史	14

1 简介

该手册主要介绍 APM32F407 系列产品在使用过程中的局限性。在使用该产品时，如有遇到手册中描述的应用场景，请按照手册中提供的解决方案使用该产品；如果未提供解决方案，请避开该应用场景。

2 产品版本及丝印说明

图 1 产品版本及丝印说明



3 勘误列表

表格 1 勘误列表

类别	简介	产品版本			
		A2	A3	C1	C2
电源管理	PDR_ON 引脚功能	●	●	●	●
	功耗	●	●	×	×
	BOR 等级设置	●	●	×	×
Flash	擦写 Flash 与中断	●	×	×	×
	Flash 误擦除	●	×	×	×
	Flash 配置在 SRAM 中运行异常	●	●	●	●
Bootloader	自举 ISP 升级	●	●	×	×
中断	优先级分组	●	●	×	×
	优先级屏蔽	●	●	×	×
	系统处理优先级	●	●	×	×
GPIO	PB 引脚电平延迟	●	●	●	●
SPI	I2S 全双工模式	●	●	●	●
USB	USB_OTG_FS 模块 LS 主机模式	●	●	●	●
	USB_OTG_HS2 设备模式低功耗唤醒	●	●	●	●
仿真器	J-Link 仿真下载程序	●	●	●	●

注意：“●”表示该版本涉及此勘误描述；“×”表示该版本不涉及。

4 电源管理

4.1 PDR_ON 引脚功能

问题描述

PDR_ON 引脚控制内部电源监管复位的功能。引脚高电平开启，POR/PDR/PVD/VBAT 功能全部可以正常使用。引脚低电平关闭以上功能，但是 POR/PDR/PVD/VBAT 功能仍旧全部可以正常使用。

解决方法

关闭 BOR 检测功能，在将 PDR_ON 引脚电平拉低，POR/PDR 功能关闭，PVD/VBAT 功能不受影响。

4.2 功耗

问题描述

在进入 stop 或 standby 模式时，EMMC 时钟不会被自动关闭。如果进入 stop 或 standby 模式前，EMMC 时钟被使能，那么进入 stop 或 standby 模式后，EMMC 时钟仍处于使能状态，stop 或 standby 模式的功耗会包含 EMMC 的功耗。

解决方法

在进入 stop 或 standby 模式前，如果 EMMC 时钟处于使能状态，需要配置 AHB3 外设时钟使能寄存器（RCM_AHB3CLKEN）禁止 EMMC 时钟，然后再进入 stop 或 standby 模式。

4.3 BOR 等级设置

问题描述

配置选项字节中的欠压复位等级可修改欠压复位阈值，配置完选项字节后，BOR 等级需要通过复位来生效。

解决方法

以下方案任选一种：

- 通过复位来进行生效；
- 通过迁移 C1 版本解决相关问题。

5 Flash

5.1 擦写 Flash 与中断

问题描述

在使能预取缓冲区、I-cache、D-cache 的配置下，擦/写 Flash 过程中，如果被中断打断，程序可能运行异常。

解决方法

在擦/写 Flash 前关闭中断，完成擦/写 Flash 后再开启中断。

5.2 Flash 误擦除

问题描述

Flash 被误擦除时的两种情况：

- 在 IAP 情况下，通过写选项字节然后进行页擦除，芯片的 UID 会被擦除。
- 在擦/写选项字节后，擦/写主存储块 Flash 时，UID、HSI Trimming 等芯片配置信息会被擦除，导致读取到的 UID 全为 0xFFFFFFFF，HSI 的精度偏差很大，并非出厂时校准的±1%精度。

解决方法

以下方案任选一种：

- 如果是执行用户程序，在擦/写选项字节后，擦/写主存储块 Flash 前，插入以下操作：
 - (1) 解锁主存储块 Flash；
 - (2) 对地址 0x40023C30 写数据 0x08；
 - (3) 读取 FMC_STS_BUSY 并等待 FMC_STS_BUSY 被清 0；
 - (4) 锁定主存储块 Flash。

执行完以上操作后，再擦/写主存储块 Flash。

- 如果是使用编程器擦/写选项字节并擦/写主存储块 Flash，编程器在完成擦/写选项字节后，需执行复位 MCU，再擦/写主存储块 Flash。
- 可通过迁移 C1 版本解决相关问题。

5.3 Flash 配置在 SRAM 中运行异常

问题描述

该问题在满足“执行 Flash unlock 操作的同时，从 CPU 从 SRAM 的偏移地址 0x040 取指令”的特定场景下才会发生。该场景常涉及到偏移地址为 0x040 的 Flash 寄存器。

解决方法

修改软件驱动，用汇编实现 FLASH_UNLOCK/OPTUNLOCK，具体操作方法如下：

使用多字存储指令 stmia 实现 FLASH_KEYR/OPTKEYR 寄存器的写入，一次写四个寄存器，保证 CPU 在进行 0x40023C04 (FLASH_KEYR 地址)、0x40023C08 (FLASH_OPTKEYR 地址) 的写操作期间不发出预取。

图 2 基于汇编的 Flash 解锁操作

```

_ASM void my_asm_flash_unlock(void)
{
    PUSH (R0-R7)
    1) LDR R0,=0x40023C00
       LDR R1,[R0,#0x0]
       LDR R2,=0x45670123
       LDR R3,=0xCDEF98AB
       LDR R4,=0x08192A3B
       LDR R5,=0x4C5D6E7F
       LDR R6,=0x0
    2)
    3) //read flash_optcr
       LDR R7,[R0,#0x14]
    4) ALIGN 4
       NOP
       STMIA R0,(R1,R2,R4,R6)
       STMIA R0,(R1,R3,R5,R6)
    5) //write flash_optcr
       STR R7,[R0,#0x14]
    POP (R0-R7)
    BX LR
}

_ASM void my_asm_flash_ob_unlock(void)
{
    PUSH (R0-R7)
    1) LDR R0,=0x40023C00
       LDR R1,[R0,#0x0]
       LDR R2,=0x45670123
       LDR R3,=0xCDEF98AB
       LDR R4,=0x08192A3B
       LDR R5,=0x4C5D6E7F
       LDR R6,=0x0
    2)
    3) //read flash_cr
       LDR R7,[R0,#0x10]
    4) ALIGN 4
       NOP
       STMIA R0,(R1,R2,R4,R6)
       STMIA R0,(R1,R3,R5,R6)
    5) //write flash_cr
       STR R7,[R0,#0x10]
    POP (R0-R7)
    BX LR
}

```

解锁流程:

- 1) 读取 FLASH_ACR 的值并等一次写入的数据，防止改写 FLASH_ACR。
- 2) 往 r2~r5 写入 FLASH_KEY1、FLASH_KEY2、FLASH_OPTKEY1、FLASH_OPTKEY2 的值。
- 3) 读取 FLASH_OPTCR/CR，防止改写 FLASH OPTUNLOCK/UNLOCK 状态。
- 4) 插入伪指令 “.align 4\n”，使下一条指令的地址为 4 对齐，再插入 nop 指令，使两条 stmia 指令的地址为 2 对齐。
- 5) 写入 FLASH_OPTCR/CR，恢复 FLASH OPTUNLOCK/UNLOCK 状态。

6 Bootloader

6.1 自举 ISP 升级

问题描述

芯片在自举模式（bootloader）下，使用 25M HSE，CAN 通信无法进行正常的 ISP 升级。

解决方法

以下方案任选一种：

- 在自举模式下，不使用 25MHz 的 HSE 进行 CAN 通信进行 ISP 升级，但可使用其他频率的 HSE，例如使用 16MHz 的 HSE 进行 CAN 通讯的 ISP 升级。
- 可通过迁移 C1 版本解决相关问题。

7 中断

7.1 优先级分组

问题描述

中断优先级寄存器 (NVIC_IPRx) 的有效位是 Bits[7:5]，支持 8 个可编程优先级，可用的可编程优先级等级有：0x00、0x20、0x40、0x60、0x80、0xA0、0xC0、0xE0。

支持 4 类优先级分组，PRIGROUP[2:0]的定义如下：

PRIGROUP [2:0]	Interrupt priority level value, PRI_N[7:5]			Number of	
	Binary point	Group priority bits	Subpriority bits	Group priorities	Sub priorities
0b011	None				
0b100	0bxxx	[7:5]	None	8	None
0b101	0bxx.y	[7:6]	[5]	4	2
0b110	0bx.yy	[7]	[6:5]	2	4
0b111	0b.yyy	None	[7:5]	Non	8

解决方法

可通过迁移 C1 版本解决相关问题。

7.2 优先级屏蔽

问题描述

基本优先级屏蔽寄存器 BASEPRI 的有效位是 Bits[7:5]，支持 3 位可编程基本优先级屏蔽，可配置屏蔽的优先级等级有：0x20、0x40、0x60、0x80、0xA0、0xC0、0xE0。

解决方法

可通过迁移 C1 版本解决相关问题。

7.3 系统处理优先级

问题描述

系统处理优先级寄存器 (SCB_SHPRx) 的有效为是 Bits[7:5]，支持 3 位可编程系统处理优先级。

解决方法

可通过迁移 C1 版本解决相关问题。

8 GPIO

8.1 PB 引脚电平延迟

问题描述

常温下 PB14、PB15 引脚从推挽输出高电平切换到下拉输入模式时，无法下拉至 0V。温度升至高温 120°C 后，可下拉至 0V，但是引脚下拉输入波形异常。

具体操作场景是将 PB14、PB15 的 I/O 配置为推挽上拉输出高电平，切换下拉输入模式：

- 常温场景下，需要延迟 100ms 才能下拉 0V 但是波形异常，延迟 3s 才能稳定低电平 0V。
- 120°C 高温场景下，500us 延迟才能下拉 0V，但是波形异常。

解决方法

建议 PB14、PB15 引脚不使用推挽输出高电平后切换至下拉输入的操作顺序。

推挽输出高电平结束后，插入推挽低电平输出或者配成开漏输出模式，再切换上拉输入模式。

9 SPI

9.1 I2S 接口

9.1.1 I2S 全双工模式

问题描述

I2S2 全双工模式下，I2S2_SCK 重映射 PI1，I2S2_WS 重映射 PI0 后，I2S2 无法收发数据。

解决方法

将 SCK、WS 信号重映射到如下其他的 PB 的引脚上：

- I2S2 CK 信号：PB10 或 PB13 引脚
- I2S2 WS 信号：PB12 或者 PB9 引脚

10 USB

10.1 USB_OTG_FS

10.1.1 USB_OTG_FS 模块 LS 主机模式

问题描述

USB_OTG_FS 模块配置为 LS 主机模式时，5m 线测试结果眼图不完美，1m 线测试在 3.0V 时眼图不完美，1m 和 5m 线在 2.7V 测试结果均异常。

解决方法

可以通过调节片外的串联电阻进行纠正完善，例如：过冲则增加电阻，上升下降时间慢则减小电阻。经测试，在 FS 模式下，片外电阻 22Ω；LS 模式下，片外电阻 16Ω 较为合适。

10.2 USB_OTG_HS

10.2.1 USB_OTG_HS2 设备模式低功耗唤醒

问题描述

USB_OTG_HS2 模块配置为设备模式时，进入 MCU 内核低功耗会发生无法响应 USB 中断的异常，即无法像 FS 或 HS1 进入低功耗模式，再由相应唤醒中断来唤醒。

解决方法

可以在 suspend 事件进入 MCU 内核低功耗的同时，将 DP 挂到外部中断，并开启相应管脚的外部中断。当电脑唤醒时，会拉高 DP，从而进入外部中断服务函数，再在外部中断函数中解除内核休眠，重新配置时钟，开启 PHY 时钟，关闭外部中断使能及清除外部中断 flag。关于代码，请参考 SDK 例程 OTGD_HID_HS2_LowPower。

11 仿真器

11.1 J-Link 仿真下载程序

问题描述

使用 J-Link 仿真器下载程序时，如果 J-Link 的驱动在 V7.00 版本及以下，且在下载程序过程中复位 MCU，可能会误擦除选项字节。

解决方法

以下方案任选一种：

- 使用 J-Link V7.00 版本以上的驱动；
- 在使用 J-Link 下载程序过程中避免复位 MCU。

12 版本历史

表格 2 文件版本历史

日期	版本	变更历史
2024.8	1.0	新建

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及 / 或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2024 珠海极海半导体有限公司 – 保留所有权利